

KIT PROCESOR 14000

SISTEM PROGRAMABIL PENTRU AUTOMATIZĂRI INDUSTRIALE

PREZENTARE GENERALĂ

KIT-ul PROCESOR 14000 este un sistem programabil pilotat de procesorul monolitic β P 14500 și destinat controlului automat al proceselor industriale. El este oferit „la cheie” de I.P.R.S. BĂNEASA și aduce o alternativă software la schemele de automate logice, realizate de obicei cu logică de tip cablat.

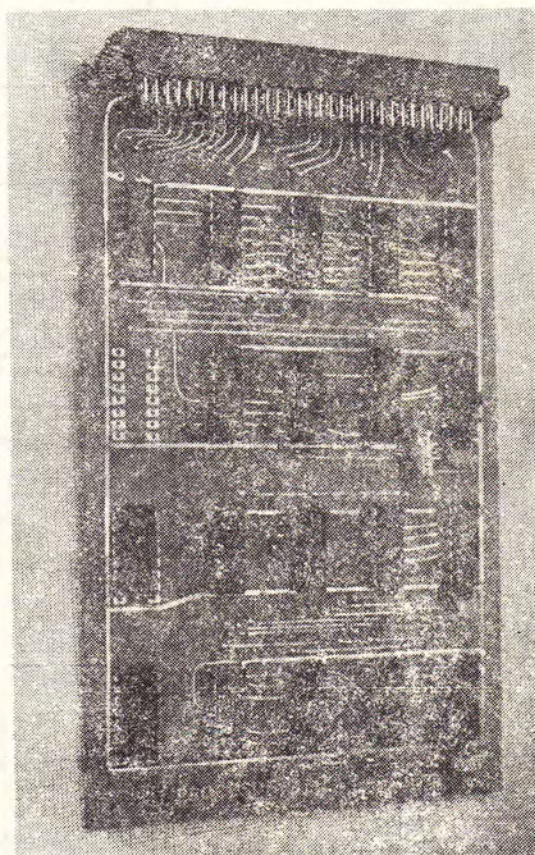
Pentru a „personaliza” KIT-ul 14000, în funcție de aplicația dorită, utilizatorul trebuie doar să redacteze un program în limbaj 14500 (set de 16 instrucțiuni) și să-l înscrie în memoria PROM aflată pe KIT.

Caracteristici notabile :

- 16 intrări TTL și 16 ieșiri TTL cu memorie ;
- programare facilă ;
- capacitate memorie : 256 instrucțiuni de program ;
- extensie de pagină memorie (RAM, PROM) de 256 instrucțiuni, selectabilă din exterior ;
- 3 temporizări (pauze) cu selecție soft ;
- posibilitatea apelării de subrutine ;
- operare statică (o instrucțiune/perioadă tact) ;
- generator de tact încorporat ;
- frecvența de lucru reglabilă : 0 ... 500 kHz ;

● o singură sursă de alimentare : +5 V ; consum 900 mA tipic ;

● gabarit redus : cartelă EURO-CARD $100 \times 160 \text{ mm}^2$, cu conector DIN 41612 (3×32 contacte).



FAMILIA DE CIRCUITE INTEGRATE β P 14000

Construcția KIT-ului 14000 are la bază familia de circuite integrate β P 14000, în componența căreia intră :

- β P 14500 — unitate centrală ;
- β P 14151 — interfață de intrare ;
- β P 14113 — interfață de ieșire.

βP 14000, PROCESOR MONOLITIC DE 1 BIT

Circuitul integrat βP 14500 are o structură tipică de microprocesor și se caracterizează prin următoarele performanțe:

- 16 instrucțiuni de programare;
- linie de date bidirecțională, TRI-STATE;
- operare statică (o instrucțiune/perioadă tact);

- frecvență de lucru : 0 ... 1 MHz;
- generator de tact încorporat;
- compatibilitate TTL;
- realizat în tehnologie bipolară I²L, pe structura standard βP 1000;
- pin — echivalent cu modelul MC 14500 B, produs de firma MOTOROLA, în tehnologie CMOS.

ARHITECTURA PROCESORULUI

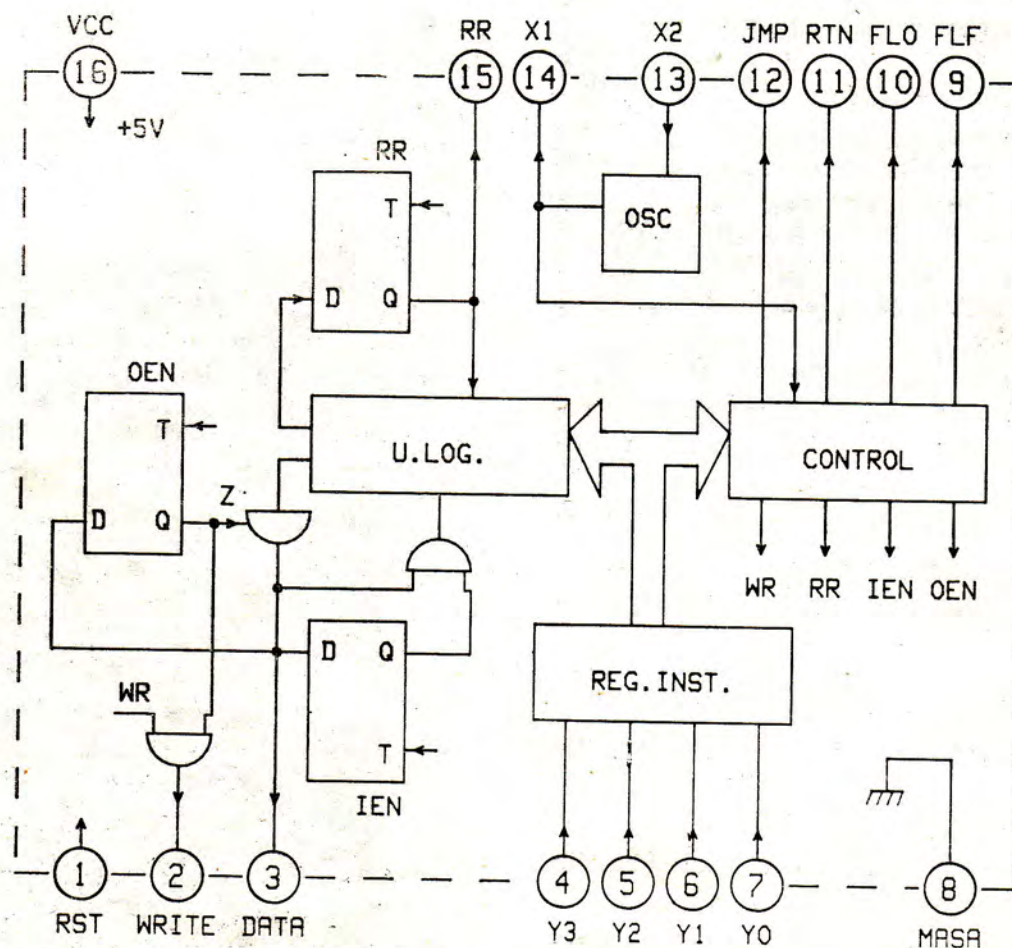


Fig. 1 — Schema bloc a procesorului βP 14500

Instrucțiunea de 4 biți ($Y_3 Y_2 Y_1 Y_0$) este stocată la începutul perioadei de tact în registrul de instrucțiuni (REG. INST.), compus din 4 bistabili tip D. Încărcarea are loc pe frontul căzător al tactului X_1 . Unitatea logică (U.LOG.) decodifică instrucțiunile și formează funcțiile logice de încărcare a registrului rezultat RR, aflat pe post de acumulator de 1 bit. Tot unitatea logică transferă informația din acumulator (RR

sau $\overline{RR}$ pe linia de ieșire DATA. La scrierea ieșirea DATA este activă o perioadă de tact.

Registrele IEN (INPUT ENABLE) și OEN (OUTPUT ENABLE) controlează accesul datelor de intrare/ieșire pe linia bidirecțională DATA. Încărcarea lor se face cu instrucțiuni specifice: IEN, respectiv OEN.

Atunci când registrul IEN este în stare zero, se împiedică intrarea datelor în unita-

tea logică ($DATA\ IN = 0$). Starea zero a registrului OEN împiedică ieșirea datelor din procesor ($DATA\ OUT = Z$, $WRITE = 0$).

Încărcarea registrelor IEN, OEN și RR se face pe frontul crescător al tactului X_1 . Tacturile de încărcare se formează în blocul CONTROL, pe baza decodificării instrucțiunilor de program.

Tot în blocul CONTROL se formează ieșirile de flag: FLF, FLO, RTN și JMP. Ele sînt active pe o perioadă de tact de la căderea tactului X_1 în starea zero.

Procesorul $\beta P\ 14500$ are încorporat un oscilator de tact (blocul OSC), a cărui frecvență se stabilește cu un circuit exterior RC. Figura alăturată prezintă schema de

montaj a oscilatorului și caracteristica frecvenței de oscilație în funcție de valorile parametrilor RC.

Tactul poate fi comandat și din exteriorul circuitului, fie pe intrarea X_2 (în antifază cu X_1), fie direct pe linia X_1 . În al doilea caz, intrarea X_2 trebuie conectată la masă.

Intrarea RST (activă în starea 1) reșetează registrele IEN, OEN, RR, blocul CONTROL și fixează ieșirea X_1 a oscilatorului în starea 1. După coborîrea RST în starea zero, amorsarea oscilațiilor are loc după circa 100 nsec.

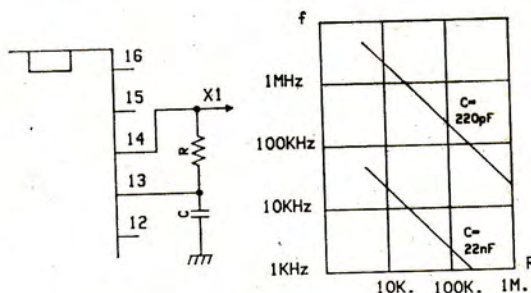


Fig. 2 — Conectarea grupului RC la blocul oscilator și frecvența rezultată

SETUL DE INSTRUCȚIUNI

Programarea procesorului $\beta P\ 14500$ se face cu un set de 16 instrucțiuni, descrise în tabelul următor :

TABEL 1

	Cod	Mneomonică	Funcție
0	0000	NOPO	Neoperare în registre ; $\text{FLAG} \rightarrow \text{FLAG.O}$
1	0001	LD	Încarcă registrul rezultat ; $DATA \rightarrow RR$
2	0010	LDC	Încarcă DATA complementară ; $DATA \rightarrow RR$
3	0011	AND	„SI“ logic ; $DATA \cdot RR \rightarrow RR$
4	0100	ANDC	„SI“ complementar ; $\overline{DATA} \cdot RR \rightarrow RR$
5	0101	OR	„SAU“ logic ; $DATA + RR \rightarrow RR$
6	0110	ORC	„SAU“ complementar ; $\overline{DATA} + RR \rightarrow RR$
7	0111	XNOR	„SAU EXCLUSIV—NU“ ; $DATA \oplus RR \rightarrow RR$
8	1000	STO	Afișează RR : $RR \rightarrow DATA$; $\text{FLAG} \rightarrow \text{WRITE}$
9	1001	STOC	Afișează complementar ; $RR \rightarrow DATA$; $\text{FLAG} \rightarrow \text{WRITE}$
A	1010	IEN	Încarcă registrul IEN ; $DATA \rightarrow IEN$
B	1011	OEN	Încarcă registrul OEN ; $DATA \rightarrow OEN$
C	1100	JMP	Neoperare în registre ; $\text{FLAG} \rightarrow \text{FLAG.JMP}$
D	1101	RTN	Neoperare în registre ; $\text{FLAG} \rightarrow \text{FLAG.RTN}$ și salt peste următoarea instrucțiune
E	1110	SKZ	Dacă $RR=0$, salt peste următoarea instrucțiune
F	1111	NOPF	Neoperare în registre ; $\text{FLAG} \rightarrow \text{FLAG.F}$

Instrucțiunile se pot grupa în 4 clase :

● instrucțiuni de citire (încărcare) : LD, LDC, XNOR, IEN, OEN. Linia DATA funcționează ca INTRARE. Încărcarea datei în registrul din procesor (RR, IEN sau OEN) are loc în a doua semiperioadă de tact, pe frontul crescător (vezi diagrama) ;

● instrucțiuni de scriere (afișare) : STO, STOC. Linia DATA funcționează ca IEȘIRE și este activă o perioadă de tact. Ieșirea WRITE trece în starea 1 în prima jumătate a perioadei de tact ($x_1 = 0$), ca în diagrama din figură.

Trebuie amintit că atât citirea cât și scrierea datei sînt condiționate de starea registrelor IEN și OEN. La inițializarea procesorului, după coborîrea intrării RST în starea zero, ambele registre sînt resetate ($IEN = 0$, $OEN = 0$) și blochează circulația pe linia DATA : $DATA_{IN} = 0$, $DATA_{OUT} = Z$.

● instrucțiuni de flag : NOPO, JMP, RTN, NOPF. Aceste instrucțiuni acționează numai asupra flagurilor corespunzătoare (FLO, JMP, RTN, FLF), activîndu-le (starea logică 1) pe durata unei perioade de tact. Flagurile JMP și RTN dau posibilitatea construcției de sisteme procesoare (cazul KIT-ului 14000) care să execute salturi în program sau apelări de subrutine. În acest scop, pentru a se evita buclele infinite de program, după executarea instrucțiunii RTN procesorul βP 14500 ignoră următoarea instrucțiune. Celelalte două flaguri (FLO, FLF) nu au un scop strict definit, dînd posibilitatea utilizării lor pentru dezvoltare hard. De exemplu, în KIT ul 14000, FLO comandă încărcarea unui registru cu adrese de salt, iar FLF declanșează un circuit monostabil care întrerupe temporar activitatea sistemului.

● instrucțiunea de salt condiționat (SKZ) se dovedește foarte utilă la mascarea unor instrucțiuni, condiționată de starea acumulatorului RR.

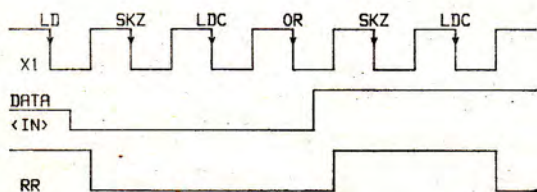


Fig. 6 — Forme de undă pentru instrucțiunea SKZ

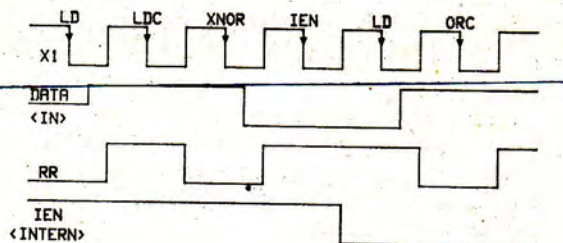


Fig. 3 — Forme de undă pentru instrucțiuni de citire

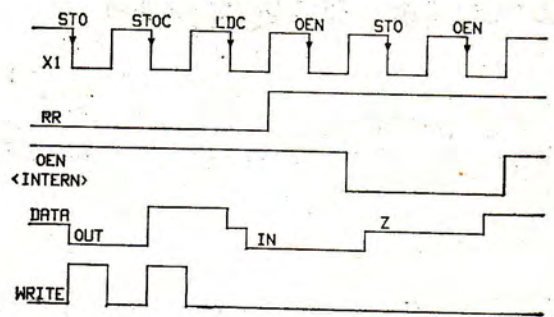


Fig. 4 — Forme de undă pentru instrucțiuni de scriere

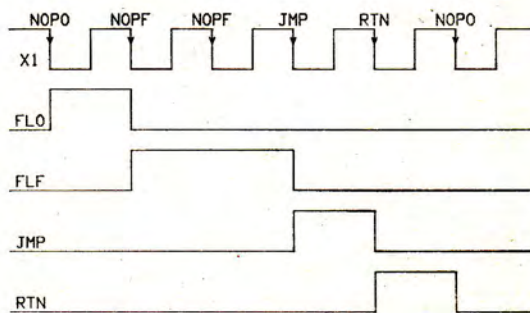


Fig. 5 — Forme de undă pentru instrucțiuni de flag

BP 14151, MULTIPLEXOR 8:1 TRI STATE

Multiplexorul BP 14151 este un circuit TTL obținut prin modificarea schemei electrice interne a circuitului integrat CDB 4151 E.

Semnificația terminalelor :

1. I_3 , intrare	9. A_2 , adresă MSB
2. I_2 , intrare	10. A_1 , adresă
3. I_1 , intrare	11. A_0 , adresă LSB
4. I_0 , intrare	12. I_7 , intrare
5. Q , ieșire	13. I_6 , intrare
6. Neconectat	14. I_5 , intrare
7. SEL, intrare select	15. I_4 , intrare
8. MASA	16. V_{CC} , alimentare

SEL	Q
0	I_j ADRESAT
1	Z <H.IMP.>



Fig. 7 — Tabelul funcțional al circuitului BP 14151

Caracteristicile electrice coincid cu cele ale circuitului integrat CDB 4151 E, cu excepția parametrilor ce caracterizează starea de impedanță mare ($SEL = '1$, $Q = Z$), listați în tabelul următor :

Parametru	Simbol	Condiții	Min.	Max.	U.M.
Curentul de ieșire în starea Z	I_{OZH}	$V_{CC} MAX; V_{SEL} = 2 V$ $V_o = 2,4 V$		40	μA
	$-I_{OZL}$	$V_o = 0,4 V$		40	μA
Timpi de propagare de la intrarea SEL	TPLZ, TPHZ TPZL, TPZH	$V_{CC} = 5V; C_L = 15 pF$ $R_L = 667 \Omega + 1 k \Omega$		30	nsec

CARACTERISTICI STATICE ($V_{CC\ MIN} = 4,5\ V$; $V_{CC\ MAX} = 5,5\ V$)

TABEL 2

Parametru	Simbol	Condiții	Min.	Max.	U/M
Tensiunea de intrare în starea 1	V_{IH}	$V_{CC\ MIN}$	2		V
Tensiunea de intrare în starea 0	V_{IL}	$V_{CC\ MIN}$		0,8	V
Tensiunea inversă de intrare (CLAMPING)	$-V_{ID}$	$V_{CC\ MIN}$; $V_I = -10\ mA$		1,8	V
Curentul de intrare în starea 1	I_{IH}	$V_{CC\ MAX}$; $V_I = 2,4\ V$		160	μA
Curentul de intrare în starea 0	$-I_{IL}$	$V_{CC\ MAX}$; $V_I = 0,4\ V$		0,5	mA
Tensiunea de ieșire în starea 1	V_{OH}	$V_{CC\ MIN}$; $I_O = -0,4\ mA$	2,4		V
Tensiunea de ieșire în starea 0	V_{OL}	$V_{CC\ MIN}$; $I_O = 8\ mA$		0,4	V
Curentul de ieșire în scurtcircuit	$-I_{OS}$	$V_{CC\ MAX}$; $V_O = 0$	4	20	mA
Curentul de alimentare	I_{CC}	$V_{CC\ MAX}$		45	mA

CARACTERISTICI DINAMICE ($V_{CC} = 5\ V$; $T_A = 25^\circ C$)

TABEL 3

Parametru	Simbol	Condiții	Tipic	U/M
Timpi de propagare $X_1 \rightarrow RR$	TPLH TPHL	$f = 1\ MHz$ $RST = 0$	500 500	nsec nsec
Timpi de propagare $X_1 \rightarrow FLF, FLO, JMP, RTN, DATA, WR$	TPLH TPHL		300 300	nsec nsec
Timpi de propagare $RST \rightarrow X_1$	TPLH TPHL		100 100	nsec nsec
Timpi de propagare $RST \rightarrow FLF, FLO, JMP, RTN$	TPLH TPHL		300 300	nsec nsec
Timpi de propagare $RST \rightarrow RR$	TPHL		500	nsec
Timpi de propagare $X_2 \rightarrow X_1$	TPLH TPHL		150 100	nsec nsec

INTERFAȚAREA PROCESORULUI ̢P 14500

În aplicațiile tipice de control industrial, structura unui automat logic cuprinde mai multe linii de intrare (de la traductoarele de proces) și de ieșire (către elementele de execuție). În cazul procesorului ̢P 14500,

controlul datelor (de) pe mai multe linii se face prin multiplexare/demultiplexare. 13/BEA
acces SECVENȚIAL (bit cu bit). În acest scop au fost proiectate circuitele de interfață ̢P 14151 și ̢P 14113.

BP 14113, DEMULTIPLEXOR 1:8 CU MEMORIE

Circuitul integrat β P 14113 este realizat, ca și procesorul β P 14500, în tehnologie I^2L , pe structura standard β P 1000. El conține un circuit demultiplexor 1:8, ale cărui ieșiri sînt conectate la 8 bistabili D, cu rol de celule de memorie.

Cu ajutorul acestor celule, β P 14113 oferă KIT-ului 14000 posibilitatea acționării unor elemente de execuție cu comandă menținută (relee electromagnetice, electrovane), fără a afecta restul activității sistemului.

Încărcarea unei celule de memorie se face după adresarea acesteia (cu intrările $A_2A_1A_0$), pe frontul crescător al intrării de selecție SEL.

Semnificația terminalelor :

- | | |
|------------------------|---------------------------|
| 1. Q_3 , ieșire | 9. A_2 , adresă MSB |
| 2. Q_2 , ieșire | 10. A_1 , adresă |
| 3. Q_1 , ieșire | 11. A_0 , adresă LSB |
| 4. Q_0 , ieșire | 12. Q_7 , ieșire |
| 5. D_{In} , intrare | 13. Q_6 , ieșire |
| 6. RS, intrare reset | 14. Q_5 , ieșire |
| 7. SEL, intrare select | 15. Q_4 , ieșire |
| 8. MAS | 16. V_{CC} , alimentare |

RS	SEL	IEȘIRE ADRESATĂ	CELELALTE IEȘIRI
1	X	0	0
0	0	N	N
0	↑	D _{in}	N
0	1	N	N

X : STARE INDIFERENTĂ
N : STARE NESCHIMBATĂ
↑ : TRANZITIE PE FRONT +

Fig. 8 — Tabelul funcțional al circuitului β P 14113

CARACTERISTICI STATICE ($V_{CC\ MIN} = 4,5\ V$; $V_{CC\ MAX} = 5,5\ V$)

TABEL 4

Parametru	Simbol	Condiții	Min.	Max.	U/M
Tensiunea de intrare în starea 1	V_{IN}	$V_{CC\ MIN}$	2		V
Tensiunea de intrare în starea 0	V_{IL}	$V_{CC\ MIN}$;		0,8	V
Tensiunea inversă de intrare (CLAMPING)	$-V_{ID}$	$V_{CC\ MIN}$; $V_I = -10\ mA$		1,8	V
Curentul de intrare în starea 1	I_{IH}	$V_{CC\ MAX}$; $V_I = 2,4\ V$		160	μA
Curentul de intrare în starea 0	$-I_{IL}$	$V_{CC\ MAX}$; $V_I = 0,4\ V$		0,5	mA
Tensiunea de ieșire în starea 1	V_{OH}	$V_{CC\ MIN}$; $I_o = -0,4\ mA$	2,4		V
Tensiunea de ieșire în starea 0	V_{OL}	$V_{CC\ MIN}$; $I_o = 8\ mA$		0,4	V
Curentul de ieșire în starea 0	I_{OL}	$V_{CC\ MIN}$; $V_o = 0,8\ V$	16		mA
	$-I_{OS}$	$V_{CC\ MAX}$; $V_o = 0$	4	20	mA
	I_{CC}	$V_{CC\ MAX}$		30	mA

CARACTERISTICI DINAMICE $V_{CC} = 5\text{ V}$; $T_A = 25^\circ\text{C}$

Parametru	Simbol	Condiții	Max.	U/M
Timpi de propagare $SEL \rightarrow Q_0, Q_1 \dots Q_7$	TPLH TPHL	$C_L = 15\text{ pF}$ $R_L = 400\ \Omega$	300	nsec.
Timpi de propagare $RST \rightarrow Q_0, Q_1 \dots Q_7$	TPHL		300	nsec.
			300	nsec.

ARHITECTURA KIT-ULUI PROCESOR 14000

După cum s-a mai spus, KIT-ul 14000 are ca unitate centrală procesorul de 1 bit βP 14500. Transferul datelor între linia bi-direcțională a acestuia și exterior (16 intrări, 16 ieșiri) se face prin multiplexare/demultiplexare și acces secvențial. Ca interfețe de intrare se folosesc două circuite βP 14151 iar ca interfețe de ieșire două circuite βP 14113.

Programul de lucru al sistemului se află înscris într-o memorie PROM TTL de 512×4 biți, baleiată de un numărator de program (P.C.) realizat (deocamdată) cu circuite TTL.

Numărătorul de program este controlat de tactul X_1 și flagurile FLO, JMP, RTN ale procesorului. El este compus din 3 registre de 8 biți :

- registrul numărator (divizor cu 8) ;
- registrul de stocare a adresei de salt (JMP) ;
- registrul de stocare a adresei de revenire (RTN).

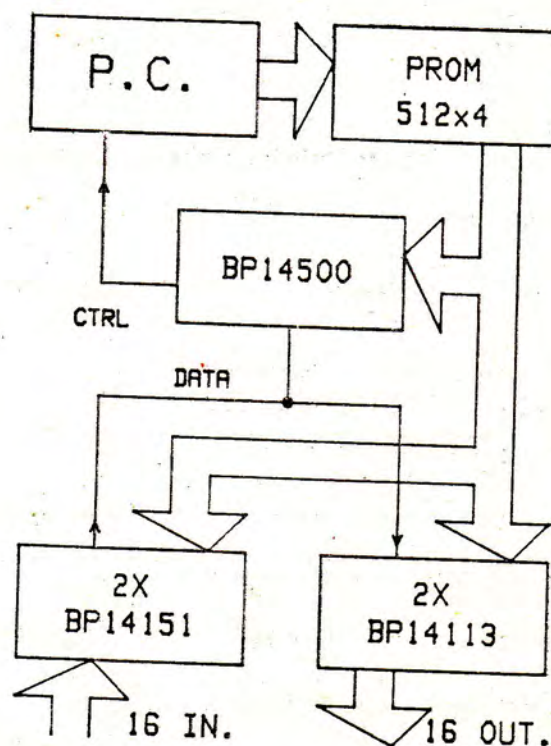
Datorită organizării memoriei pe cuvinte de 4 biți, încărcarea adresei de salt se face în două etape ; primii 4 biți (MSD — cel mai semnificativ digit) se încarcă la activarea flagului FLO, iar ceilalți 4 (LSD) atunci când este activ flagul de salt (JMP = 1). Starea activă a flagului JMP mai are simultan următoarele efecte :

- încarcă registrul RTN cu adresa curentă a memoriei ;

- încarcă numărătorul cu conținutul registrului de salt (execută saltul propriu-zis).
- 13/BETA
Ieșirile registrelor JMP și RTN sînt multiplexate și încarcă paralel numărătorul

cu adresa de salt sau de revenire, în funcție de activarea flagului JMP sau RTN.

La executarea unei instrucțiuni RTN, numărătorul de program se încarcă automat cu adresa ultimei instrucțiuni JMP executate.



STRUCTURA PROGRAMULUI

O instrucțiune de program cuprinde două cuvinte consecutive din memorie: primul conține instrucțiunea în limbaj 14500 iar următorul adresa interfeței I/O scrisă în cod hexazecimal.

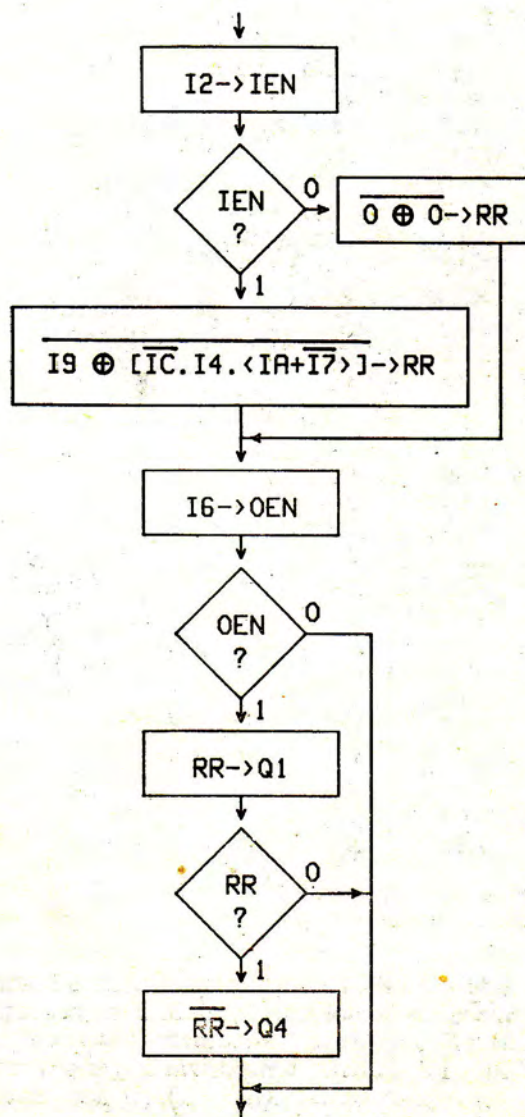
Selectarea instrucțiune/adresă se face cu linia de tact X_1 , conectată la bitul cel mai puțin semnificativ de adresă a memoriei: $A_0 = \overline{X_1}$. Instrucțiunile se află scrise la adrese pare ($\overline{X_1} = 0$) iar adresele I/O la adrese impare ($\overline{X_1} = 1$).

Cu cei 4 biți se adresează $2^4 = 16$ intrări sau 16 ieșiri, selecția intrare/ieșire fiind făcută cu ieșirea WRITE a procesorului.

A	IEN	2
2		
2	LDO	7
7		
5	OR	A
A		
3	AND	4
4		
4	ANDC	C
C		
7	XNOR	9
9		
B	OEN	6
6		
8	STO	1
1		
E	SKZ	X
X		
9	STOC	4
4		

Iată un exemplu de fragment de program scris atât în cod obiect, cât și în limbaj de asamblare și la nivel de organigramă (intrările au fost notate $I_0, I_1 \dots I_F$ iar ieșirile $Q_0, Q_1 \dots Q_F$):

După cum se poate observa în organigramă, în acumulatorul procesorului βP 14500 se pot forma funcții logice combinaționale relativ complexe. De asemenea, instrucțiunile IEN și OEN diversifică în mod surprinzător logica de tip condițional a programului.



SINCRONIZARE EXTERNĂ, EXTENSIE DE MEMORIE

În afară de liniile de intrare/ieșire, conectorul KIT-ului 14000 mai are conectate următoarele :

- ieșirea de tact X_1 de la procesor ;
- BUS-ul de adrese $A_0 \dots A_8$;
- BUS-ul de instrucțiuni $Y_0 \dots Y_3$;
- intrarea de selectare a memoriei PROM : $\bar{E}$.

Pe linia X_1 se poate conecta un generator de tact exterior (ieșire TTL) care să piloteze întreaga activitate a sistemului. În acest caz intrarea X_2 a procesorului trebuie scurt-circuitată la masă, iar pentru temporizare este necesar un circuit exterior, comandat de flagul FLF.

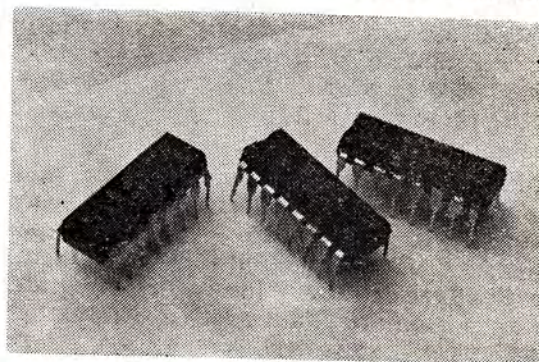
Prin deselectarea memoriei de pe KIT, procesorul poate executa programe aflate într-o memorie externă, de tip RAM, controlată la rindul ei de un micro sau minicalculator. O astfel de structură permite crearea unor configurații complexe (mai multe KIT-uri 14000 programate de către un sistem pilot) care să crească eficiența calculatoarelor „mari” în automatizări industriale, robotizări etc.

DEZVOLTARE

În paralel cu lansarea producției de KIT-uri 14000, în prezent se află în curs de proiectare un numărator de program integrat, care va înlocui actualul numărator, realizat cu circuite TTL, ducând la scăderea cu 50% a consumului de curent al KIT-ului. De asemenea, se află în fază de proiect un sistem procesor extins, construit tot cu βP 14500, dispunând de o memorie de 1000 ... 4000 instrucțiuni de program și o periferie expandabilă până la 1024 intrări și 1024 ieșiri.

Cu această direcție de dezvoltare, I.P.R.S. BĂNEASA propune o soluție elegantă și ieftină de standardizare a automatelor boolene de control industrial, domeniu de aplicații în care KIT-urile pilotate de procesorul βP 14500 înlocuiesc cu succes logica de tip cablat și concurează la capitolul raport performanță/preț cu sistemele „complexe” cu microprocesor de 8 biți.

RADU RAPEANU



EDIȚIA A 6-A A SESIUNII ANUALE DE COMUNICĂRI ȘTIINȚIFICE A IPRS BĂNEASA, O NOUĂ CONFIRMARE A CAPACITĂȚII NOASTRE CREATOARE

Desfășurată la sfârșitul lui iunie 1985, cea de a 6-a ediție a Sesiunii anuale de comunicări științifice s-a dovedit a fi un valoros schimb de experiență pe marginea celor mai bune rezultate obținute în întreprindere. Expunerile au relevat încă o dată inițiativa cadrelor tehnice din I.P.R.S. BĂNEASA de a aduce, prin eforturi suplimentare un aport tehnico-științific de mare eficiență economică.

Lucrările Sesiunii au fost deschise de directorul întreprinderii, Anton Vătășescu, care a rostit o alocuțiune interesantă privind necesitatea actului de cercetare științifică din întreprindere încercând, cu acest prilej, mobilizarea pe mai departe a forțelor noas-

tre de creație. În continuare a fost prezentată lucrarea invitată „Traductoare cu semiconductoare” de Mircea Bodea de la Institutul Politehnic din București. Lucrarea a înregistrat un succes deosebit. Este previzibilă abordarea cu mai mult apomb a acestui domeniu de către specialiștii din Băneasa.

Din cele aproape 30 de lucrări trimise spre selecție au fost susținute 16 comunicări interesante, a căror eficiență economică anuală se ridică la nivelul zecilor de milioane de lei. Cele mai valoroase contribuții au fost premiate, dar trebuie menționat că alegerea a fost dificilă deoarece toate comunicările s-au prezentat la un nivel foarte ridicat.

SALTURI, APELĂRI DE SUBROUTINE, TEMPORIZĂRI

Structura număratorului de program (P.C.) de pe KIT-ul 14000 permite executarea de salturi în program sau apelări de subrutine.

Pentru salt sînt necesare 2 instrucțiuni: una pregătitoare (NOPO MSD) și cea de salt propriu-zis (JMP LSD), care stabilesc adresa completă de salt: $MSD + LSD = 8$ biți.

Într-o subrutină nu se admit salturi (JMP) în interior sau apelări de alte subrutine (cuiburi).

Iată un exemplu de program cu salturi și subrutine:

ETI	LD	7
	ORC	5
	NOPO	MSD (AD1)
	SKZ	X
	JMP	LSD (AD1)
	LDC	B
	AND	2
	NOPO	MSD (AD2)
	JMP	LSD (AD2)
	LDC	6
	XNOR	E
	STO	A
	NOPO	ETI
	JMP	ETI

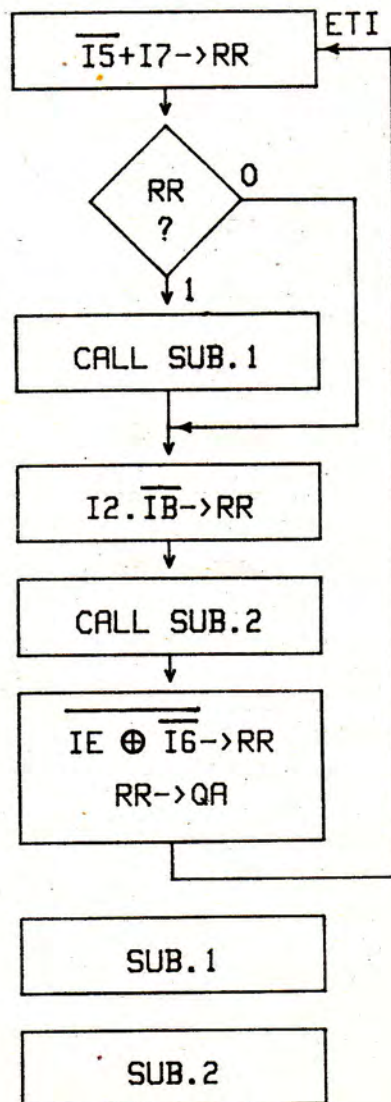
AD1	OEN	6
	STOC	D
	SKZ	X
	LD	4
	STO	E
	NOPF	1
	RTN	X
AD2	IEN	0
	XNOR	5
	STO	4
	NOPF	2
	STOC	4
	STO	3
	RTN	X

KIT-ul 14000 conține un circuit de temporizare declanșat cu flagul FLF al procesorului βP 14500, la executarea instrucțiunii NOPF. Pe durata temporizării generatorul de tact este blocat ($X_1 = 1$) și activitatea sistemului întreruptă.

Durata pauzei poate fi selectată software din 3 valori posibile (τ_1 , τ_2 , τ_4) cu ajutorul adresei atașate instrucțiunii NOPF: NOPF 1, NOPF 2, respectiv NOPF 4.

Valorile celor 3 pauze τ_1 , τ_2 și τ_4 sînt determinate de 3 grupuri de componente RC de pe KIT. Prin alegerea convenabilă a acestor componente utilizatorul are posibilitatea să-și fixeze singur duratele pauzelor, în funcție de specificul aplicației (de exemplu $\tau_1 = 100 \mu s$, $\tau_2 = 25 ms$, $\tau_4 = 30 s$).

Instrucțiunea NOPF 0 nu întrerupe activitatea sistemului. Ea poate fi folosită pentru acționarea unor circuite de temporizare exterioare KIT-ului, declanșate cu flagul FLF.



Premiul I exaequo a fost acordat lucrării „Mecanică de sortare pentru circuite integrate“, autori Mihai Vereş şi Ion Gheorghe. Această lucrare constituie o realizare complexă, la nivelul tehnicii actuale de vîrf, urmînd să fie prezentată la o expoziţie internaţională de profil. Premiul I exaequo a fost acordat, de asemenea, lucrării „Tranzistoare de înaltă frecvenţă cu emitor de polisiliciu“, autori Gabriela Bica şi Tudor Dunca, pentru aplicarea curajoasă a unei tehnologii originale, deosebit de rafinate, la fabricarea unor componente cu performanţe foarte ridicate.

„Metodă şi aparat pentru măsurarea impedanţei termice“, autori Dan Halip şi Viorel Marinescu, a primit premiul II pentru reuşita de a evita un import costisitor. Prin această lucrare au fost asigurate condiţiile controlului şi selecţiei după impedanţa termică a diodelor şi tiristoarelor. Aparatul a fost deja solicitat la export.

Premiul III a revenit unei interesante încercări în premieră de a modela fenomenele fizice care conduc la o fiabilitate limitată a dispozitivelor semiconductoare, cu sugestii directe pentru ameliorarea proceselor tehnologice. Este vorba de „Procese de defectare a pasivării joncţiunilor mesa cu elastomeri siliconici“, autor Marian Udrea.

Menţiunile acordate au confirmat valoarea a două comunicări din domeniul tehnologic: „Dubla metalizare — o soluţie pentru creşterea complexităţii şi randamentelor de fabricaţie a circuitelor integrate“, autor Alexandru Păunescu şi „Tehnologie multiepitaxială pentru tranzistoare de putere şi comutaţie“, autori Ion Ghiţă, Georgeta Bănoiu, Sorin Georgescu, Dumitru Sdrulla, Tudor Dunca.

Toţi autorii de comunicări, şi în primul rînd cei premiaţi, merită cu prisosinţă felicitări. Sesiunea noastră de comunicări ştiinţifice continuă tradiţia de a încununa şi în acest fel rezultatele meritorii ale specialiştilor extrem de valoroşi de care dispune I.P.R.S. BĂNEASA.

**IOAN FLOREA
PETRU AL. DAN**

Colectivul redacţional: **ADRIAN SORIN NĂSTASE** — redactor şef, **DĂNUŢ BODEA**, **PETRU ALEXANDRU DAN**, **GABRIEL DONCIU**, **TUDOR DUNCA**, **AURELIA NĂSTASE**, **SILVIU PUCHIANU**, **DANA STANOIU**.

I.P.R.S. BĂNEASA, str. IANCU NICOLAE, 32, 72996 BUCUREŞTI, tel. 33.40.50/364.

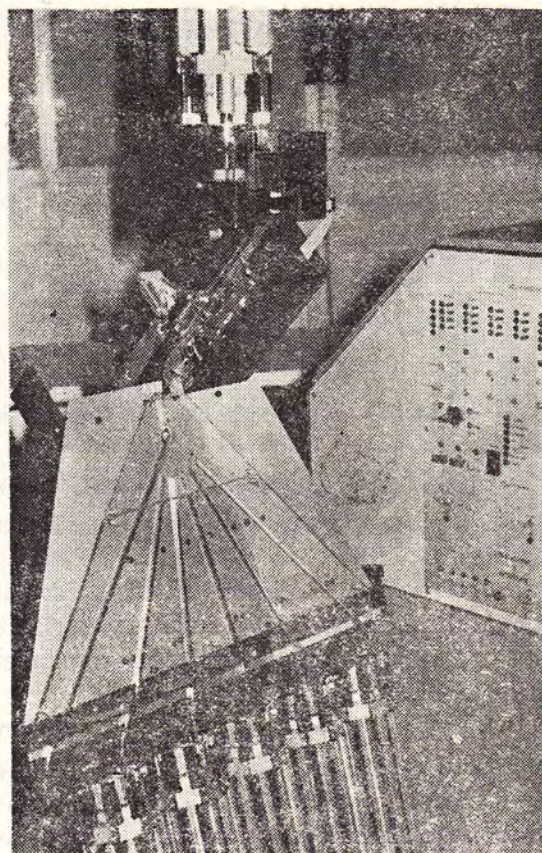


Foto 4 — Mecanică de sortare pentru circuite integrate

CIRCUITE NOI

I.P.R.S. Băneasa anunţă omologarea circuitelor:

- βM 358 N dublu amplificator operaţional împreună cu varianta βM 2904 N
- βM 393 N dublu comparator împreună cu varianta βM 2903 N.

Circuitele au parametrii de catalog identici cu rasele βM 324 (pentru βM 358 N) şi βM 339 (pentru βM 393 N).

Spre deosebire de rasele cuadruple circuitele nou omologate sînt incompatibile între ele.

Pentru orice informaţii tehnice suplimentare beneficiarii se pot adresa la SEICEI — tel. 391.